新製品情報&NEWS

NEW PRODUCTS & NEWS

分解能を可変にして広範囲のサンプリング速度に対応させたPXI波形収集ボード
NI PXI-5922

米国National Instruments社は，PXI（PCI eXtensions for Instrumentation）バス規格に対応したモジュール式の計測器向け波形収集ボード「NI PXI-5922」を発売した．DC（直流）から15Mサンプル/sまでのサンプリング速度に対応している．A-D/D-Aコンバータやオーディオ機器の評価，*I*/*Q*信号の測定などに利用できる．メモリ容量の異なる「779153-01（8Mバイト）」，「779153-02（32Mバイト）」，「779153-03（256Mバイト）」の3品種を用意する．

広範囲のサンプリング速度に対応するため，分解能を可変とした．例えば，500kサンプル/sまでは24ビットの分解能に対応するが，1Mサンプル/sでは22ビット，5Mサンプル/sでは20ビット，15Mサンプル/sでは16ビットになる．このような機能を実現するため，同社は独自のASIC（application specific integrated circuit）を開発した．本ASICは，変調部（6ビットA-D/D-Aコンバータ，4次ループ・フィルタ）とDSPで構成されている．変調部で発生したノイズや非線形性はDSPを用いて補正している．

これとは別に，電流/電圧や*LCR*を計測するマルチメータ・ボード「NI PXI-4071（778271-01）」も発売した．本マルチメータ・ボードのサンプリング速度は最大1.8Mサンプル/s．7サンプル/s時の分解能は26ビットで，この場合の測定確度は7.5けたになる．電圧は±10nV～±1000V，電流は1μA～3A，抵抗は10μΩ～5GΩの測定が可能である．



写真1　NI PXI-5922の外観



写真2　NI PXI-4071の外観

■価格
85.8万円（779153-01）
105.6万円（779153-02）
151.8万円（779153-03）
33万円（778271-01）
■連絡先
日本ナショナルインスツルメンツ株式会社
TEL 0120-527196
salesjapan@ni.com
http://www.ni.com/jp/

アサーション記述によってチェックされなかった回路の割合を提示するプロパティ検証ツール
Incisive Formal Verifier

米国Cadence Design Systems社は，入力したアサーション記述によってチェックされなかった回路の割合をユーザに提示するプロパティ検証ツール（プロパティ・チェッキング・ツール）「Incisive Formal Verifier」を発売する．本ツールは，検証対象となる回路に対して，入力したそれぞれのアサーション記述がどの部分のシーケンシャル論理をチェックしているかを解析する．これらの情報を組み合わせて，チェックされなかったコンポーネントの割合を計算する．今回の機能は，目的とする検証に対して，ユーザが入力したアサーション記述の量や質が十分かどうかを判断する材料になるという．

プロパティ検証ツールは形式的検証（フォーマル・ベリフィケーション）ツールの一種で，設計データが設計仕様（プロパティ）と合致しているかどうかをチェックするためのツールである．

検証対象となる回路の記述言語は，Verilog HDL，VHDL，SystemVerilog（バージョン3.1a）．また，これらの記述を組み合わせた設計データも検証できる．対応するアサーション記述言語はPSL（Property Specification Language）とSVA（SystemVerilog Assertions）．OVL（Open Verification Library）や同社のアサーション・ライブラリであるIAL（Incisive Assertion Library）といっしょに利用することもできる．

本ツールは，同社のHDLシミュレータ（Incisive Unified Simulator）や論理エミュレータ/ハードウェア・アクセラレータ（Incisive Palladium）と組み合わせて利用できる．同社では，ブロック・レベルの検証はプロパティ検証ツールで，ブロック間のインターフェースの検証はプロパティ検証ツールとHDLシミュレータで，チップ全体の検証はHDLシミュレータと論理エミュレータ/ハードウェア・アクセラレータで行うことを推奨している．例えば，ブロック・レベルの検証で利用したアサーション記述をブロック間のインターフェースの検証に流用できるという．



図1　Incisive Formal Verifierの画面例

■価格
下記に問い合わせ
■連絡先
日本ケイデンス・デザイン・システムズ社
TEL 045-475-2311
http://www.cadence.co.jp/

SystemC 2.1とTLMライブラリに対応したSystemCルール・チェッカ
AccurateC 2.4.1

米国Actis Design社は，SystemC 2.1とTLM（transaction level modeling）ライブラリに対応したSystemCルール・チェッカ「AccurateC 2.4.1」を発売した．1,000以上のC++の文法チェック・ルールと約200のSystemCのチェック・ルールを用意している．

従来のバージョンでは，事前にC++コンパイラによるコンパイル・チェックを行う必要があった．今回のバージョンではこの作業が不要になる．また，従来，C++コンパイラのコンパイル・チェックにおいて，SystemCのシステム・ファイルをエラー箇所として指し示していた不ぐあいに対して，今回のツールではSystemCのソース・コード上のエラー箇所を検出できるようになった．

本ルール・チェッカは，文法チェックや接続チェックのほか，SystemCコーディング・スタイル，アンタイムド・ファンクション（untimed function），TLM，米国Forte Design Systems社のビヘイビア合成記述などをチェックするためのルールを備えている．オプションの「AccurateC Rule Generator」を利用すると，ユーザ定義のルールを追加できる．ユーザ定義のルールは，C++および専用のAPI（application programming interface）関数を利用して記述する．

対応するOSは，SolarisとLinux．

■価格
121万円から
■連絡先
株式会社プライムゲート
TEL 03-5642-3556
sales@primegate.co.jp
http://www.primegate.co.jp/

配置，クロック・ツリー合成，配線を同時に最適化するLSI用レイアウト設計ツール
Galaxy IC Compiler

米国Synopsys社は，配置，クロック・ツリー合成，配線を同時に最適化するLSI用レイアウト設計ツール「Galaxy IC Compiler」を発売する．従来はこれらの工程の処理が別々に行われていたため，最適なレイアウト結果を得ることができなかったり，レイアウト結果を得るまでに時間がかかっていたという．例えば，今回のツールでは，実際の配線抵抗やビアの抵抗まで考慮して配線遅延を計算し，グローバル配線（ブロック間を接続する配線の決定）を行う．そして，この結果を反映してブロックの最適配置を決めている．

また，本ツールは同社の静的タイミング解析ツールである「PrimeTime」の機能を備えている．ECO（engineering change order）の際には，この機能を使って解析しながらタイミングの調整を行っている．PrimeTimeは，多くの半導体メーカがサインオフ・ツールとして認定している．そのため，本ツールのECOのタイミング調整の結果とサインオフ時のタイミング検証の結果がよく一致するという利点がある．

このほか，本ツールは，回路ライブラリに含まれる歩留まり情報を考慮しながら，利用するブロックやセルを選択する機能を備えている．

現在，特定顧客に限定して提供している．2005年6月には一般ユーザへの提供を開始する．

■価格
137,922,750円（1年間のライセンス料金）
■連絡先
日本シノプシス株式会社
TEL 03-5746-1780
http://www.synopsys.co.jp/

NEWS
PhilipsとXilinx，PCI Express I/F回路を15～20ドルで実現できるLSIなどを共同提供

オランダのRoyal Philips Electronics社と米国Xilinx社は，PCI Expressインターフェース回路を15～20ドル程度で実現できるLSIとIPコアを共同で顧客に提供する．Philips社の物理層LSI「PX1011A」とXilinx社のFPGA「Spartan-3ファミリ（例えばXC3S1000やXC3S500Eなど）」，およびFPGAに実装するトランザクション層/データ・リンク層のIPコア「LogiCORE DO-DI-PCIE-PIPE」を組み合わせた．

Xilinx社は，従来からPCI Expressインターフェース用IPコアを提供してきた．ただし，このIPコアには物理層の回路が含まれており，実装できるデバイスは高価なVirtex-II ProファミリのFPGAに限られていた．今回，このIPコアから物理層の回路を削り，安価なSpartan-3ファミリのFPGAに実装できるようにした．

対応するPCI Expressのレーン（通信チャネル）数はx1（伝送速度は2.5Gbps）．物理層LSIとFPGAの間のインターフェースについては，米国Intel社が策定した「PIPE v1.0」の仕様を拡張し，ソース同期クロッキング用の送信クロックを追加した．これにより，8ビット，250MHzのチップ間データ転送が可能になったという．

今回のIPコアを実装した場合のFPGAの内部動作周波数は62.5MHz，IPコアが消費するFPGAのリソースは5,000個程度のLUT（look-up table）と六つのBlockRAM．両社が共同開発したリファレンス・デザインは，2005年6月から顧客に提供する予定．

● 日本フィリップスのホームページ
http://www.philips.co.jp/
● ザイリンクスのホームページ
http://www.xilinx.co.jp/

最大1Gビットの組み込み機器向けフラッシュ・メモリ

Intel StrataFlash エンベデッド・メモリ(P30)

米国Intel社は，64Mビット～1Gビットのフラッシュ・メモリ「Intel StrataFlash エンベデッド・メモリ(P30)」を発売する．バス幅は16ビット．メモリ・セルのアーキテクチャはNOR型．1メモリ・セル当たり2ビットのデータを記憶する多値論理技術を採用している．ディジタル・カメラやディジタル家電などの組み込み機器における需要を見込んでいる．

電源電圧は，コア電圧が1.7V～2.0V，I/O電圧が1.7V～3.6V．メモリ容量が256Mビットの品種の場合，待機時の消費電流は55μA(標準値)，40MHzの同期バースト・モード(4ワード)で読み出しを行う際の消費電流は13mA(標準値)である．非同期読み出しモードにおけるアクセス時間は85ns．

パッケージは，外形寸法が14mm×20mmの56ピンTSOP，10mm×13mmの64ピンBGA，8mm×10mmの88ピン・スタック型CSPの三つから選ぶことができる．

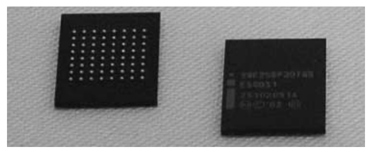


写真1　256Mビット Strata Flash エンベデッド・メモリ(P30)の外観(BGA)

64Mビット，128Mビット，256Mビット，512Mビットの品種は2005年第2四半期から，1Gビットの品種は同年後半から出荷を開始する．

■価格
下記に問い合わせ
■連絡先
インテル株式会社
http://www.intel.co.jp/jp/

高耐圧で逆回復時間の短いダイオード

FSHJ10B18B

日本インターは，定格電圧が180V，定格電流が10Aの高耐圧ダイオード「FSHJ10B18B」を発売する．プラズマ・テレビや液晶テレビなどの整流回路や駆動回路に適しているという．

プラズマ・テレビなどに求められる，高電圧，高速，高効率という要求を満たすため，本ダイオードはMPS(Merged PiN Diode and Schottky Barrier Diode)というデバイス構造を採用している．これにより，順方向電圧が低く，逆回復時間が短いというショットキ・ダイオードの長所と，高耐圧化が容易というファースト・リカバリ・エピタキシャル・ダイオードの長所を兼ね備えた素子を実現することができた．例えば，従来のファースト・リカバリ・エピタキシャル・ダイオードと比べて，逆回復電流や逆回復電荷が30％改善されたという．

本ダイオードのサンプル出荷は2005年5月中旬から開始する予定．今後は，この構造を採用した定格電圧の異なるダイオードを製品化していくという．



写真1
FSHJ10B18Bの外観

■価格
下記に問い合わせ
■連絡先
日本インター株式会社
TEL 0463-84-8030
http://www.niec.co.jp/

NEWS

TOPPERS，非対称型マルチプロセッサ向けにμITRONベースのRTOSを機能拡張

TOPPERSプロジェクトは，マルチプロセッサに対応したリアルタイムOS「TOPPERS/FDMPカーネル」を開発した．本カーネルは，μITRON4.0仕様(標準プロファイル)準拠の「TOPPERS/JSP」をマルチプロセッサ向けに機能拡張したものである．本カーネルの対象となるアーキテクチャは，共有メモリを備えた非対称型マルチプロセッサである．2005年中には一般に公開していきたいという．

従来のOSと互換性を持たせるため，マルチプロセッサ用の新しいAPIは極力追加しない方針で開発した．タスクやセマフォ，イベント・フラグなどのオブジェクトの指定は，オブジェクトにID番号を付与することで行う．IDは32ビットとし，プロセッサ指定用に16ビット，プロジェクト指定用に16ビットを用いる．一つのプロセッサに置かれたタスクが別のプロセッサのプロジェクトにアクセスすることは可能だが，基本的にタスクの移動はない．

TOPPERS/JSPに対応したシングルコア向けのアプリケーションであれば，比較的容易にTOPPERS/FDMPへ移植できる．ただし，排他制御の方法やグローバル変数の配置によっては，大きな変更が必要となるケースもあるという．現在の対応プロセッサは，米国Altera社のソフト・マクロCPU「Nios II」，米国Xilinx社のソフト・マクロCPU「MicroBlaze」，東芝の32ビット・コンフィギャラブル・プロセッサ「MeP」の3種類．ARMプロセッサについても，今後対応していくという．

● TOPPERSプロジェクトのホームページ
http://www.toppers.jp/